

(12) Japanese Laid-Open Patent Publication (A)

(11) Patent Laid-Open Publication No. Hei 7-7052

(43) Publication Date January 10, 1995

(51) Int. Cl.⁶

H01L 21/66

(Number of Claims: 7)

(21) Application No. Hei 5-145210

(71) Applicant Seiko-Epson Corp.

(22) Application Date June 16, 1993

(72) Inventor NOSE YASUTO; others: 01

【TITLE】 Probe for measuring electrical properties

【ABSTRACT】

【CONSTITUTION】

A cantilever structure 15 is made from at least one of single crystal silicon, silicon oxide, nitride silicon, polysilicon or metal layer. A conductive metal film 14 is formed on the surface of the cantilever structure 15. Furthermore, the cantilever structure 15 is held by an insulation substrate 18 on which a conductive wiring pattern 19 is formed, thereby serving as a probe for measuring electrical properties.

【EFFECTS】

In the present invention, probes for measuring electrical properties are manufactured by such processes including photolithography and thin-film formation. Thus, the probes have contactors arrayed in a fine pitch. The contactors have excellent positional accuracy, planarity and high mechanical strength. Consequently, the durability and reliability of measurement can be enhanced.

【CLAIMS】

What is claimed is:

1. A probe for measuring electrical properties, the probe comprising a cantilever made from at least one of single crystal silicon, silicon oxide, nitride silicon, polysilicon or

metal layer,

wherein the probe is placed in electrical contact with terminals for measuring an electronic component by means of the cantilever.

2. The probe for measuring electrical properties of claim 1, wherein a portion of the probe, which is placed in electrical contact with the terminals for measuring of the electronic component, is in a shape of a pyramid.

3. The probe for measuring electrical properties of claim 1 or 2, further comprising a metal film formed on the cantilever.

4. The probe for measuring electrical properties of claim 1 or 2, wherein the cantilever and the pyramidal portion are manufactured via an etching process.

5. A probe for measuring electrical properties, the probe comprising:
a conductive cantilever made from at least one of single crystal silicon, silicon oxide, nitride silicon, polysilicon or metal layer, the cantilever being provided as terminals for measuring an electronic component, and
an insulation substrate where the cantilever is held,
wherein the conductive cantilever and input/output terminals of a measuring apparatus are connected via a wiring pattern formed on the insulation substrate.

6. The probe for measuring electrical properties of claim 5, wherein the insulation substrate is made from borosilicate based glass and is integrally bonded with the cantilever via an anodic bonding.

7. The probe for measuring electrical properties of claim 1 or 5, wherein the electronic component is a semiconductor integrated circuit.

【DETAILED DESCRIPTION OF THE INVENTION】

【FIELD OF THE INVENTION】

[0001] The present invention relates to a probe for measuring electrical properties which is used in process of testing electronic devices such as semiconductor integrated circuits in

a wafer or chip state.

【BACKGROUND OF THE INVENTION】

[0002] A process of manufacturing semiconductor integrated circuits (i.e., IC) can be broadly divided into two processes, namely, a front-end process and a back-end process. The front-end process is directed to fabricating each element on a silicon wafer and completing integrated circuits. The back-end process involves dividing the wafer, which has gone through the front-end process, to individual chips by dicing, die attaching each chips to lead frames, connecting each terminal formed on the chips by wire bonding and completing packaging by molding.

[0003] When the front-end process is finished, static and dynamic electrical properties of integrated circuit in a wafer state are tested. This is to determine whether each chip is defective or not.

[0004] In such testing for electrical properties, a probe comprising a plurality of metallic needle-like contact terminals is used as a means for conducting temporal electrical connections between semiconductor integrated circuits on the chips and external circuits such as the source of signals or measuring system.

[0005] The structure of such probe is shown in Fig. 3. As shown in Fig. 3(a), a through hole 32, which is 30mm in diameter, is located on the central portion of a printed wiring substrate 31. Also, a plurality of contactors 33, which have needle-like tips made from tungsten or palladium, are fixed on the upper surface of the printed wiring substrate 31. As shown in Fig. 3(b), the tips of contactors 33 are bent to protrude through the through hole 32 and to extend downward of the bottom surface of the print wiring circuit 31. Each tip of the contactors 33 corresponds to bond pads formed on the chips of semiconductor integrated circuits. A required number of tips are arranged in hundreds of micron pitches above the four sides of IC chips.

[0006] Measurement of electrical properties is conducted by aligning a chip of a wafer state integrated circuit inwardly into the through hole 32, making pressure contacts between the tips of contactors 33 and each pads formed on the peripheral portions of the chip, and

supplying test signal or voltage via the print wiring substrate to measure properties.

【PROBLEMS ADDRESSED BY THE INVENTION】

[0007] However, in the prior arts discussed above, the contactors 33 are made from metal such as tungsten. The wire-typed contactors 33 having a length of several centimeters are aligned in about 200 micron pitches. Therefore, it was difficult to secure positional accuracy in relation to the pads on the integrated circuit chips to be measured.

Furthermore, the mechanical strength was not sufficiently high so as to easily allow deformations when effected by external shock or when the tip portion of the contactor becomes suspended.

[0008] In addition, as semiconductor integrated circuits are highly dense, the number of connections with the external circuits increases. Accordingly, the number of pads on the chips of integrated circuits increases, thereby decreasing the pitches between the pads. In view of the integrated circuit chips, a decrease in pad area and pitch length is relatively easily achieved by photolithography. However, in the conventional probe (shown in Fig. 3), it is difficult to ensure array pitch and positional accuracy of contactors since each metallic wire is fixed one by one.

[0009] The present invention addresses the above-mentioned problems associated with the prior art. The object of the present invention is to provide highly precise and dense probes. This enables easy and precise measurements of electrical properties of large-scale integrated circuit chips through the use of the probes.

【MEANS TO ADDRESS THE PROBLEMS】

[0010] In order to resolve the problems discussed above, the probe for measuring electrical properties is characterized by the following:

1. The probe comprises a cantilever that is made from at least one of single crystal silicon, silicon oxide, nitride silicon, polysilicon or metal layer. The probe is placed in electrical contact with terminals for measuring an electronic component by means of the cantilever.

[0011] 2. The portion, which makes the electrical contacts of the means 1 with the

terminals for measuring the electronic component, is in the shape of a pyramid.

- [0012] 3. A metal film is formed on the cantilever of the means 1 or 2.
- [0013] 4. The cantilever and the pyramidal portion of the means 1 or 2 are manufactured via an etching process.
- [0014] 5. The probe comprises a conductive cantilever, which is made from at least one of single crystal silicon, silicon oxide, nitride silicon, polysilicon or metal layer. It is provided as a measuring tip for electronic components. The probe also comprises an insulation substrate where the cantilever is held. The conductive cantilever and the input/output terminals of a measuring apparatus are connected by way of a wiring pattern formed on the insulation substrate.
- [0015] 6. The insulation substrate of the means 5 wherein the conductive cantilever is made from borosilicate based glass and is integrally bonded with the cantilever by an anodic bonding.
- [0016] 7. The electronic component of the means 1 or 5 is a semiconductor integrated circuit.

【FUNCTION】

[0017] In the present invention, the probe for measuring electrical properties is formed by processes such as photolithography and thin-film formation, which are used in manufacturing semiconductor integrated circuits. Thus, it is possible to integrally form a plurality of fine probe leads and contacts in fine pitches smaller than 100 μm . Furthermore, a high-accuracy positioning can be obtained compared to the conventional probes since the accuracy is determined by the accuracy of the mask. Also, the mechanical strength is excellent due to the material, while the recoverability of the contacts after deformation for measurement is high.

[0018] In addition, since the tips of the contacts can be maintained on a co-plane, the pads

on the chips to be measured do not need to be pushed by additional pressure. Thus, the reliability of measurement can be improved.

[0019] Further, with respect to the aspects of productivity, manufacturing the probes in aggregate using the semiconductor process technology has made it possible to supply highly productive products with reduced costs.

[0020]

【EMBODIMENT】 (EMBODIMENT 1) Fig.1 is a schematic cross-sectional view showing a process for manufacturing probes used for measuring electrical properties in accordance with a first embodiment of the present invention.

[0021] As shown in Fig. 1(a), a thermally oxidized film (silicon oxide film) 12 is formed on a single crystal silicon substrate 11 with both surfaces grinded, which is 4 in. in diameter, 280 μm in thickness and (1 0 0) in crystal orientations. The silicon oxide film 12 is selectively removed by photolithography and etching processes using 5.0 weight % HF solution. The silicon oxide film 12 is formed on the location corresponding to those of the pads on the chips of integrated circuits to be measured, in accordance with the array pitches and number of the pads.

[0022] The silicon substrate is isotropically etched by using the silicon oxide film 12 as a mask and applying a 30 weight % KOH (potassium hydroxide) solution heated to 70°C. Then, a pyramidal projection 13 is formed. The height of the projection is about 20 μm , thereby constituting a contactor in measuring integrated circuits.

[0023] Once the silicon oxide film is removed away, a thermal oxidation is performed again to form a silicon oxide film 12. A metallic film is formed on the film by sputtering chrome and gold. Then, contacting electrodes and lead electrodes 14 are installed in patterns by photolithography and etching processes. (Fig. 1(b))

[0024] Thereafter, an isotropic etching is performed (in the same manner as described above) from the opposite side of the pyramidal protrusion of silicon substrate to form a 40

μm -thick diaphragm portion 15. In addition, by performing an isotropic etching from the pyramidal protrusion, a through portion 16 is formed thereon and the contactor portions 17 of each probe become independent as cantilever structures. (Fig. 1(c))

[0025] The cantilever structure is integrally bonded to a 0.5mm-thick borosilicate based glass substrate 18 by anodic bonding (350°C , 700V), which serves as a support structure. A metallic wiring 19 for contacting the measuring apparatus is previously formed on the silicon substrate by electro-less plating. Then, a metallic film 20 is formed through mask sputtering to connect the lead electrodes 14 of the cantilever structure with the metal wiring 19 on the glass. By doing so, a probe for measuring electrical properties can be obtained in accordance with the present invention (shown in Fig. 1(d)).

[0026] By using such probes to measure the electrical properties of an actual semiconductor integrated circuit, a precise and well reproducible measurement can be achieved. Furthermore, since the positions in relation to the pads of integrated circuits are easily determined, the productivity of measuring is highly elevated.

(Embodiment 2)

[0027] (Embodiment 2) Fig.2 is a schematic cross-sectional view showing a process for manufacturing probes used for measuring electrical properties in accordance with a second embodiment of the present invention.

[0028] As shown in Fig. 2(a), a thermally oxidized film (silicon oxide film) 22 is formed on a single crystal silicon substrate 21 with a grinded surface, which is 4 in. in diameter, $380\ \mu\text{m}$ in thickness and (1 0 0) in crystal orientations. The silicon oxide film is selectively removed by photolithography and etching processes using 4.0 weight % HF solution. The etched-away part is $10\ \mu\text{m} \times 10\ \mu\text{m}$ in size and is formed on the location corresponding to those of the pads on the chips of integrated circuits to be measured, in accordance with the array pitches and number of the pads.

[0029] The exposed parts on the substrate are isotropically etched by using the silicon oxide film 22 as a mask and applying a 35 weight % KOH (potassium hydroxide) solution heated to 70°C . Then, a square pyramidal recessed portion 23 is formed. The pyramidal

portion is 14 μm in depth.

[0030] Thereafter, the silicon oxide film is removed by applying a HF solution in the same manner as described above. Then, a 1.0 μm -thick silicon nitride film 24 is formed on the substrate. Subsequent photolithography and dry-etching processes form a linear portion, which includes the pyramidal portion so as to serve as a probe (shown in Fig. 2(b)).

[0031] The silicon substrate is integrally bonded to a 1.0 mm-thick borosilicate based glass substrate 25 by anodic bonding (400°C, 1000V), which serves as a support substrate (shown in Fig. 2(c)). The silicon substrate partially contains nitride silicon film patterns thereon.

[0032] The silicon portion of the structure comprising the silicon substrate and glass substrate is etched away with a KOH solution. Thus, the remaining nitride silicon portion constitutes a cantilever beam structure. The nitride silicon portion acquires conductivity by means of chrome or nickel film sputtering and photolithography processes. Finally, a 3 μm -thick electro-less nickel plating completes the formation of the probes for measuring electrical properties (shown in Fig. 2(d)).

[0033] By using such probes to measure electrical properties of an actual semiconductor integrated circuit, a precise and well reproducible measurement can be achieved, while enhancing the efficiency of measurement (as is in the probes according to the first embodiment).

【Technical Effects】

[0034] As mentioned above, according to the present invention, it is possible to easily manufacture a probe for measuring electrical properties having contactors of fine array pitches that correspond to measuring terminal portions (pads) of highly integrated semiconductor circuit chips. Furthermore, the probe of the present invention has excellent positional accuracy and planarity compared to the conventional probes for measuring.

[0035] In addition, according to the probe of the present invention, the mechanical

strength and the recoverability of the contactors after deformation for measurement are high, while the displacement of the tips of the contactors is small. Furthermore, damages caused to the pads of the chips that are not to be measured can be mitigated. Hence, the present invention also provides the effects of enhancing reliability and yield of highly integrated semiconductor circuit products.

[0036] Further, the present invention has made it possible to provide such highly productive probes with reduced costs.

【BRIEF DESCRIPTION OF THE DRAWINGS】

Fig. 1 is a cross-sectional view illustrating the manufacturing process and structure of a probe for measuring electrical properties according to the first embodiment of the present invention.

Fig. 2 is a cross-sectional view illustrating the manufacturing process and structure of a probe for measuring electrical properties according to the second embodiment of the present invention.

Fig. 3 illustrates the structure of the prior art probes for measuring electrical properties.

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平7-7052

(43)公開日 平成7年(1995)1月10日

(51)Int.Cl.⁶

H01L 21/66

識別記号

庁内整理番号

FI

技術表示箇所

B 7630-4M

審査請求 未請求 請求項の数7 OL (全5頁)

(21)出願番号 特願平5-145210

(22)出願日 平成5年(1993)6月16日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 野瀬 保人

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72)発明者 太田 勉

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

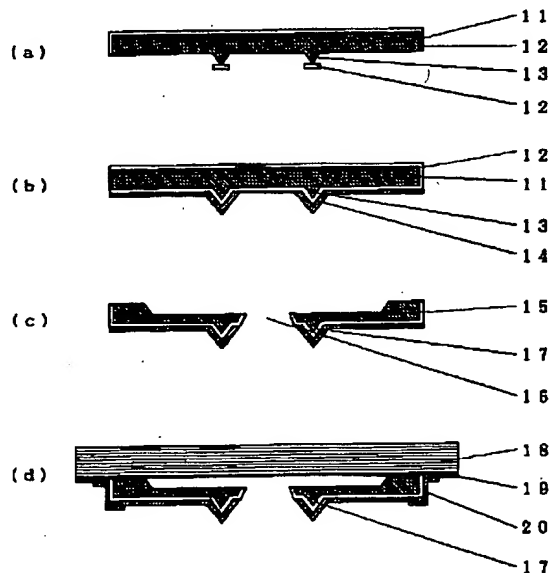
(74)代理人 弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 電気特性測定用プローブ

(57)【要約】

【構成】 単結晶シリコン、酸化シリコン、窒化シリコン、ポリシリコン、あるいは金属層の少なくとも一層からなる片持ち梁構造15とし、その表面に導通用の金属皮膜14を形成する。さらに、この片持ち梁構造体15を導通配線パターン19を形成した絶縁基板18で保持して電気特性測定用プローブとする。

【効果】 フォトリソ、薄膜形成等のプロセスにより製作するため、微細な配列ピッチの接触子を有する電気特性測定用プローブが得られ、接触子の位置精度、平面度が優れ、機械的強度も高いため測定 of 耐久性、信頼性を向上させる事が出来る。



1

【特許請求の範囲】

【請求項1】 単結晶シリコン、酸化シリコン、ポリシリコン、あるいは窒化シリコンの少なくとも一層からなる片持ち梁により、測定する電子部品の測定用端子との電気的接触を行う事の特徴とする電気特性測定用プローブ。

【請求項2】 前記電気的接触を行う電子部品の測定用端子にコンタクトする部分の形状が、角錐状である事の特徴とする請求項1記載の電気特性測定用プローブ。

【請求項3】 前記片持ち梁に金属皮膜が形成されていることを特徴とする請求項1または請求項2記載の電気特性測定用プローブ。

【請求項4】 前記片持ち梁及び角錐状部分が、エッチングにより形成されていることを特徴とする請求項1または請求項2記載の電気特性測定用プローブ。

【請求項5】 単結晶シリコン、酸化シリコン、ポリシリコン、あるいは窒化シリコンの少なくとも一層からなる電子部品の測定用端子となる導電化された片持ち梁と、該片持ち梁を保持する絶縁基板からなり、該絶縁基板上に形成した配線パターンによって前記導電性片持ち梁と、測定装置への入出力端子を接続する事の特徴とする電気特性測定用プローブ。

【請求項6】 前記導電化された片持ち梁を保持する絶縁基板がホウケイ酸系ガラスであり、該片持ち梁と基板接合法により接合、一体化した事の特徴とする請求項5記載の電気特性測定用プローブ。

【請求項7】 前記測定する電子部品が、半導体集積回路である事の特徴とする請求項1または請求項5記載の電気特性測定用プローブ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ウエハーあるいは、チップ状態の半導体集積回路等、電子デバイスの検査、試験工程において用いられる電気特性測定用のプローブに関する。

【0002】

【従来の技術】半導体集積回路、いわゆるICの製造工程は、シリコンウエハー上に各素子を形成し集積回路として完成させるまでの前工程と、前工程が終了したウエハーをダイシングにより個々のチップに分離し、チップ毎にリードフレームにダイアタッチし、ワイヤーボンディングによりチップの各端子を接続後、モールドする事によりパッケージングを完了するまでの後工程とに大別される。

【0003】前工程が終了した段階において、ウエハー状態で集積された回路の静的及び動的電気特性試験により、各チップの良、不良品判定を行う。

【0004】この電気特性試験において、信号源や測定系等の外部回路とチップ上の半導体集積回路との一時的な電気接続を行う手段として、金属製の複数の針状接触

2

端子を有するプローブが用いられる。

【0005】この様なプローブの構造を図3に示す。図3(a)に示す様に、プリント配線基板31の中央部に直径約30mmの貫通口32が設けられており、この上面にはタングステン製あるいはパラジウム製の先端が針状になった複数の接触子33が固定されている。接触子33の先端部は図3(b)に示す様に、湾曲され貫通口32よりプリント配線基板31の下面に突出しており、それぞれの接触子33の先端が半導体集積回路チップ上に形成されているボンディング用のパッドに対応して、数百ミクロンピッチでICチップの四辺上の位置に必要な本数が配列されている。

【0006】電気特性測定は、ウエハー状態の集積回路の1チップが貫通口32の内側にはいる様に位置合わせし、このチップの周辺部に形成されている各々のパッドに接触子33の先端を加圧接触させ、プリント配線基板を経由して評価用信号や電圧を供給して特性を測定する。

【0007】

【発明が解決しようとする課題】しかし、前記の従来技術では、接触子33はタングステン等の金属製で、長さが数センチメートルのワイヤー状のものを200ミクロン程度のピッチで配列した構造であり、特性測定を行う集積回路チップ上のパッドに対して位置精度を確保するのが難しい。また、機械的な強度が充分でないために、外部よりの衝撃を受けたり、接触子の先端部を引っかけたりした場合に変形しやすいという課題があった。

【0008】さらに、半導体集積回路の高集積化に伴って、外部回路とのコネクタ数が増え、集積回路チップ上のパッド数も増加し、その結果としてパッド間ピッチが小さくなる。集積回路チップ側では、パッド面積及びピッチの縮小化は、フォトリソグラフで行うために比較的容易にできるが、図3の様な従来の測定用プローブでは、金属製のワイヤーを用いて1本づつ固定セットするため、接触子の配列ピッチと位置精度を確保する事が困難であり限界があった。

【0009】本発明は、この様な課題を解決するもので、その目的は、高精度、高密度のプローブを提供し、このプローブを用いる事により大規模集積回路チップの電気特性測定を容易に、精度良く行う事を可能にするものである。

【0010】

【課題を解決するための手段】上記の課題を解決するために本発明の電気測定用プローブは、

1. 単結晶シリコン、酸化シリコン、ポリシリコン、あるいは窒化シリコンの少なくとも一層からなる片持ち梁により、測定する電子部品の測定用端子との電気的接触を行う事の特徴とする。

【0011】2. 前記手段1の電気的接触を行う電子部品の測定用端子にコンタクトする部分の形状が、角錐状

3

である事の特徴とする。

【0012】3. 前記手段1または手段2の片持ち梁に金属皮膜が形成されていることを特徴とする。

【0013】4. 前記手段1または手段2の片持ち梁及び角錐状部分が、エッチングにより形成されていることを特徴とする。

【0014】5. 単結晶シリコン、酸化シリコン、ポリシリコン、あるいは窒化シリコンの少なくとも一層からなり電子部品の測定用端子となる導電化された片持ち梁と、該片持ち梁を保持する絶縁基板からなり、該絶縁基板上に形成した配線パターンによって前記導電性片持ち梁と、測定装置への入出力端子を接続する事の特徴とする。

【0015】6. 前記手段5の導電化された片持ち梁を保持する絶縁基板がホウケイ酸系ガラスであり、該片持ち梁と陽極接合法により接合、一体化した事の特徴とする。

【0016】7. 前記手段1または手段5の測定する電子部品が、半導体集積回路である事の特徴とする。

【0017】

【作用】本発明によれば、電気測定用プローブの形成を半導体集積回路の製造で用いられているフォトリソ、薄膜形成等のプロセス技術で行うために、複数の微細なプローブリード、接触子を100ミクロンメートル以下の微小なピッチで一体的に形成する事が出来、位置精度的にもマスクの精度で決定されるため従来のプローブに比べはるかに高精度であり、機械的な強度も材質的に優れており、接触子の測定変形後の復元性も高い。

【0018】さらに、接触子の先端部を同一平面に維持する事が出来るために、被測定チップ上のパッドに余分の圧力で押し付ける必要がなくなり、測定の信頼性も向上される。

【0019】生産性の面でも、半導体プロセス技術によりプローブを一括形成する事が出来るため、生産性が高く、低コストの製品を供給する事が可能になった。

【0020】

【実施例】（実施例1）図1は、本発明による実施例1を説明するための電気特性測定用プローブの製造工程の概略断面図である。

【0021】図1(a)は、径4インチ、厚み280ミクロンメートル、結晶方位(100)の両面研磨した単結晶シリコン基板11で、熱酸化膜(酸化シリコン膜)を形成し、フォトリソ、5.0重量%フッ酸溶液でのエッチングにより所定のパターンニングし部分的に酸化シリコン膜12を残す。この酸化シリコン膜12は、測定する集積回路チップ上のパッドの配列ピッチと同様であり、パッド数に合わせ同じ位置に形成されている。

【0022】酸化シリコン膜12をマスクとして、摂氏70度に加熱した30重量%の水酸化カリウム溶液で、シリコン基板を異方性エッチングする事により、角錐状

4

の突起部13を形成する。この突起部の高さは約20ミクロンメートルであり、集積回路の測定における接触子となる。

【0023】次に、酸化シリコン膜を一旦除去した後、再度熱酸化を行って酸化膜12を形成する。その膜上にスパッタリングにより、クロム、金の金属膜を形成後フォトリソエッチングによりコンタクト用電極及び、リード電極14をパターン状に設ける(図1(b))。

【0024】その後、シリコン基板の角錐状突起部の反対側から、同様の方法により水酸化カリウム溶液による異方性エッチングを行い、厚み40ミクロンメートルのダイアフラム部15を形成し、さらに角錐状突起部側からの異方性エッチングをする事により貫通部16を形成すると共に、各プローブの接触子の部分17を片持ち梁構造として独立させる(図1(c))。

【0025】この片持ち梁構造体を保持するため、予め測定装置にコンタクトするための金属配線部19を無電解メッキ法等により形成した厚さ0.5ミリメートルのホウケイ酸系ガラス基板18と、この構造体を陽極接合法(摂氏350度、700V)で接合一体化した後、片持ち梁のリード電極14とガラス上の金属配線部19を接続するためにマスクパッタ等により金属層20を形成して図1(d)の様な電気特性測定用プローブとして完成出来た。

【0026】このプローブを用いて実際の半導体集積回路の電気特性を測定したところ、精度、再現性良く測定できると共に、集積回路のパッド部との位置決めも容易で、測定の生産性を大きく向上させる事が可能になった。

【0027】（実施例2）図2は、本発明による実施例2を説明するための電気特性測定用プローブの製造工程の概略断面図である。

【0028】図2(a)は、直径4インチ、厚み380ミクロンメートル、結晶方位(100)の片面研磨した単結晶シリコン基板21で、熱酸化膜(酸化シリコン膜)22を形成し、フォトリソ、4.0重量%フッ酸溶液でのエッチングにより部分的に酸化シリコン膜を除去する。このエッチングした部分は、10ミクロンメートル角であり、測定する集積回路チップ上のパッドの配列ピッチと、パッド数に合わせ同じ位置に形成されている。

【0029】酸化シリコン膜22をマスクとして、摂氏70度に加熱した35重量%の水酸化カリウム溶液で、この露出した部分板を異方性エッチングする事により、四角錐状の凹部23を形成する。この角錐部の深さは14ミクロンメートルである。

【0030】次に酸化シリコン膜を、前記と同様のフッ酸溶液で除去した後、この基板上に厚さ1.0ミクロンメートルの窒化シリコン膜24を形成し、さらにフォトリソ、ドライエッチングして角錐部を含めてプローブと

5

して用いる部分をライン状に形成する(図2(b))。

【0031】この部分的に窒化シリコン膜のパターンが形成されたシリコン基板に支持基板として、厚さ1.0ミリメートルのホウケイ酸系ガラス基板25を図2(c)に示す様に、部分的に陽極接合(摂氏400度、1000V)して一体化する。

【0032】シリコン基板とガラスからなる構造体のシリコンの部分、前記と同様の水酸化カリウム溶液でエッチング除去する事により、窒化シリコン部分が片持ち梁構造として残る、この窒化シリコン部分をクロム、ニッケル膜のスパタリング、フォトリソにより導電化し、さらに無電解ニッケルメッキを3ミクロンメートル形成する事により図2(d)の様な電気特性測定用プローブとして完成出来た。

【0033】このプローブを用いて実際の半導体集積回路の電気特性を測定したところ、実施例1のプローブと同様に精度、再現性良く測定できると共に、測定の生産性も向上させる事が可能になった。

【0034】

【発明の効果】上記した様に、本発明によれば、高集積半導体回路チップの測定端子部(パッド)に対応する、微細な配列ピッチの接触子を有する電気特性測定用プローブが容易に製造する事が可能で、従来の測定用プローブに比べ、接触子の位置精度、平面度が優れている。

【0035】また、機械的な強度も大きく、接触子の変形後の復元性が良好で、接触子の先端部の位置ずれが小さく、非測定チップのパッド部に与える損傷も低減され、高集積半導体回路製品の信頼性、歩留まりを向上出

6

来る効果もある。

【0036】さらに、このようなプローブの生産性は高く、低コストの製品として供給する事が可能になった。

【図面の簡単な説明】

【図1】 本発明の実施例1による電気特性測定用プローブの製造工程と構造を示す断面図。

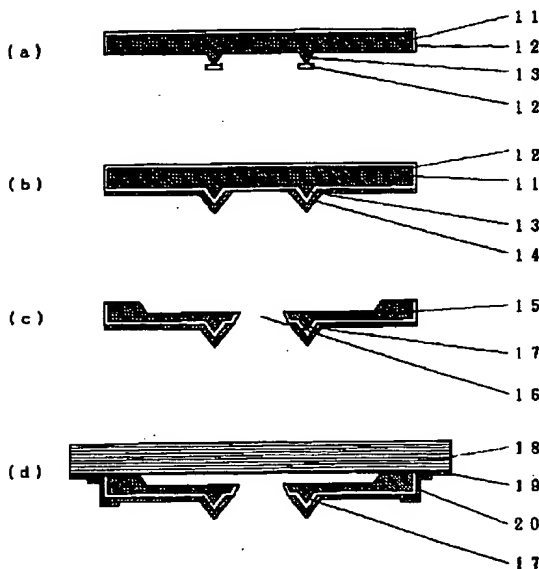
【図2】 本発明の実施例2による電気特性測定用プローブの製造工程と構造を示す断面図。

【図3】 従来技術による電気特性測定用プローブの構造説明図。

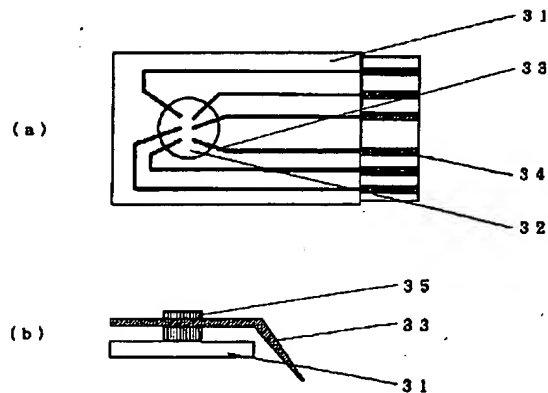
【符号の説明】

11、21	シリコン単結晶基板
12、22	酸化シリコン膜
13	突起部
14	クロム、金電極膜
15	ダイアフラム部
16	貫通部
17	接触子
18、25	ホウケイ酸系ガラス
19	金属配線部
20	金属層
23	角錐状凹部
24	窒化シリコン層
26	無電解ニッケルメッキ層
31	プリント配線基板
32	貫通口
33	接触子
34	接続端子
35	プローブ固定用樹脂

【図1】



【図3】



【図2】

